



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 57 243 A 1**

⑤ Int. Cl. 6.
H 01 L 21/329
H 01 L 21/225

⑦ Aktenzeichen: 198 57 243.3
② Anmeldetag: 11. 12. 98
④ Offenlegungstag: 22. 7. 99

DE 198 57 243 A 1

⑥ Innere Priorität:

198 02 090. 2

21. 01. 98

⑦ Anmelder:

Robert Bosch GmbH, 70469 Stuttgart, DE

⑦ Erfinder:

Goebel, Herbert, Dr., 72766 Reutlingen, DE; Goebel,
Vesna, 72766 Reutlingen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤ Verfahren zur Herstellung von Dioden

⑤ Es wird ein Verfahren vorgeschlagen, das zur Herstellung von Zenerdioden dient. Das Verfahren umfaßt einen zweiteiligen Foliendiffusionsschritt zur Herstellung flacher und tiefer Dotierprofile unter Verwendung von Neutralfolien.

DE 198 57 243 A 1

Die Erfindung geht aus von einem Verfahren nach der Gattung des Hauptanspruchs. Ein solches Verfahren ist bereits aus der DE 43 20 780 bekannt, in dem Dotierfolien eingesetzt werden.

Vorteile der Erfindung

Das erfindungsgemäße Verfahren mit den kennzeichnenden Merkmalen des Hauptanspruchs hat demgegenüber den Vorteil, daß flachere Dotierprofile hergestellt werden können, bei denen die Oberflächenkonzentration niedriger liegen kann. Dadurch, daß es möglich wird, ein flaches Auslaufen der Dotierkonzentration in die Tiefe des Wafers herzustellen, wird die Flußspannung der Diode niedriger. Ebenso wird die Durchbruchspannung bei hohen Strömen, z. B. 100 A, deutlich verkleinert, also der Bahnwiderstand in der Diode verringert. Ferner ist die Diode einfacher herstellbar, da die Zenerspannung der Diode weniger empfindlich gegen gewisse Schwankungen bei einer zweiten Diffusion in einer Serienfertigung ist, durch die der eigentliche PN-Übergang hergestellt wird.

Dadurch, daß es möglich wird, bei gleichzeitig tiefem Ausläufer der Dotierkonzentration eine geringe Oberflächenkonzentration zu erzeugen, kann eine zweite Diffusion, durch die der PN-Übergang hergestellt wird, mit einer niedriger dotierten Dotierfolie durchgeführt werden. Damit kann die Zenerspannung in einer Serienfertigung besser getroffen bzw. eingehalten werden, ohne besondere Vorkehrungen zu treffen. Durch die möglich werdende schwächere zweite Dotierung wird auch die Oberfläche des Siliziumwafers nicht so stark mit Fremdatomen angereichert, so daß das Siliziumkristallgitter nicht gestört und damit eine Verbiegung der Wafer vermieden wird. Vorteilhaft ist außerdem, daß die verwendete Neutralfolie gleichzeitig als Schutz beim weiteren Eintreiben dient. Sie wird auf eine bereits dotierte Siliziumoberfläche aufgelegt und verhindert beim weiteren Eintreiben der Dotieratome ohne zusätzliche Oberflächenbelegung sicher eine Oberflächenverunreinigung.

Durch die in den abhängigen Ansprüchen aufgeführten Maßnahmen sind vorteilhafte Verbesserungen des im Hauptanspruch angegebenen Verfahrens möglich. Besonders vorteilhaft ist eine Belegung der Oberseite des Wafers mit einer Neutralfolie in einem zweiten Teilschritt, wobei die Unterseite des Wafers mit einer Dotierfolie für sehr starke Dotierung belegt wird. Dadurch wird es möglich, zum einen ein tiefes Dotierprofil zu erhalten, zum anderen, die Unterseite des Wafers gleichzeitig verstärkt zu dotieren, um eine gute Rückseitenanbindung der Diode zu ermöglichen.

Die weitere Applikation einer Dotierfolie entgegengesetzten Leitfähigkeitstyps ermöglicht ein einfaches und zudem fehlertolerantes Herstellen des PN-Übergangs der Diode.

Zeichnung

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen Fig. 1 einen Zenerdiodenchip, Fig. 2 Verfahrensschritte zur Herstellung und Fig. 3 Dotierkonzentrationsverläufe. Fig. 4 zeigt weitere Dotierkonzentrationsverläufe.

Fig. 1 zeigt eine gemäß dem erfindungsgemäßen Verfahren hergestellte Zenerdioden-Anordnung in einem Chip 1. Der Chip weist eine n-dotierte Schicht 3, eine darunterliegende schwach n-dotierte Schicht 4 und eine unter der Schicht 4 liegende stark n-dotierte Schicht 5 auf. Die Oberseite des Chips 1 ist von einer p-dotierten Schicht 2 bedeckt, wobei der Chip im Randbereich der Oberseite Stufen 7 aufweist, so daß die p-Schicht 2 im Mittelbereich der Oberseite die n-Schicht 3 bedeckt, während sie im Randbereich der Oberseite die schwach n-dotierte Schicht 4 bedeckt. Sowohl die P-Schicht 2 als auch die stark n-dotierte Schicht 5 sind mit einer Metallisierung 6 bedeckt. Mit d ist die Eindringtiefe von n-Dotieratomen von der Oberseite des Wafers in das Waferinnere bezeichnet.

Die Metallisierungen 6 dienen als Anoden- bzw. Kathodenkontakttierung der Zenerdiode, wobei eine gute Rückseitenanbindung über die stark n-dotierte Schicht 5 gewährleistet ist. Der pn-Übergang der Zenerdiode wird durch den Übergang zwischen der Schicht 2 und der Schicht 3 gebildet.

Fig. 2 zeigt ein Ausführungsbeispiel des erfindungsgemäßen Verfahrens. Fig. 2a zeigt einen Wafer 20, der auf der Oberseite mit einer ersten Dotierfolie 23 und auf der Unterseite mit einer zweiten Dotierfolie 24 belegt ist. Dabei dient die erste Dotierfolie zur Herstellung stark n-dotierter Schichten, die zweite Dotierfolie hingegen zur Herstellung sehr stark n-dotierter Schichten. Der Wafer 20 ist vom n-Typ und weist die Dotierkonzentration der späteren n-Schicht 4 auf. Der Wafer 20 wird zusammen mit anderen Wafers gestapelt. Dabei liegen zwischen den Wafers 20 alternierend erste bzw. zweite Dotierfolien. Der Waferstapel wird ungefähr 30 Minuten bis ca. 3 Stunden lang bei ca. 1200° bis 1300°C in einem Diffusionsofen in oxidierender Atmosphäre erhitzt. Durch diese Behandlung bildet sich an der Oberseite eine stark n-dotierte Belegungsschicht 18 und an der Unterseite eine sehr stark n-dotierte Belegungsschicht 19 aus. Anschließend werden die Wafer getrennt und entstandene Oxidschichten entfernt. In einem weiteren Schritt erfolgt ein Eintreiben des Dotierstoffes, der in den Belegungsschichten 18 und 19 abgelegt ist. Dies geschieht ebenfalls durch Stapeln der Wafer, jedoch sind jetzt (Fig. 2b) im Vergleich zum vorangegangenen Schritt (Fig. 2a) die Vorderseite der Wafer jeweils mit einer Neutralfolie 25 und die Rückseiten mit einer sehr stark n-dotierten Dotierfolie 24 belegt, das heißt, diesmal alternieren Neutralfolien und Dotierfolien 24 zwischen den Wafers des Waferstapels. Dieser Waferstapel wird ca. 30 bis 120 Stunden lang bei 1200°C bis 1300°C im gleichen Diffusionsofen wie vorhin in oxidierender Atmosphäre erhitzt. Anschließend erfolgt wieder ein Trennen der Wafer und das Entfernen entstandener Oxidschichten. Durch diese zweite Erhitzung im Waferstapel bildet sich die n-dotierte Schicht 3 und die stark n-dotierte Schicht 5 aus. In einem weiteren Schritt (Fig. 2c) werden Gräben 22 in die Oberseite der Wafer eingebracht. Dies kann durch Sägen oder in einem Ätzprozeß erfolgen. Die Gräben 22 durchdringen dabei vollständig die Teilschicht 3 und ragen in die Schicht 4 hinein. Durch die Gräben 22 werden Zerteilungslinien 21 definiert (siehe Fig. 2f), entlang denen später der Wafer in einzelne Zenerdiodenchips zerteilt wird. Die Oberseite des Wafers 20 wird also durch das Einsägen der als Randstruktur der späteren Dioden dienenden Gräben 22 in quadratische oder rechteckige Segmente aufgeteilt (nicht abgebildet), die den späteren Oberseiten der einzelnen Chips entsprechen. Anschließend erfolgt ein Spülen der angeritzten Wafer in deionisiertem Wasser. In einem weiteren Schritt (Fig. 2d) erfolgt die Herstellung des PN-

Übergangs der Dioden. Dabei wird ebenfalls eine Foliendiffusion ausgeführt, indem die Teilschicht 3 mit einer dritten Dotierfolie 26 vom p-Typ belegt wird. Bei einer Diffusionszeit von 15–30 Stunden und einer Ofentemperatur von 1200°–1300°C bildet sich an der Oberseite des Wafers eine p-Schicht 2 aus, die die Teilschicht 3 und (in den Gräben 22) die Schicht 4 bedeckt. Selbst wenn die Dotierfolie 26 die Gräben 22 nicht vollständig auskleidet, sondern wie in Fig. 2d gezeigt, lediglich überdeckt, bildet sich in den Gräben eine durchgehende p-Schicht 2 aus, da bei den hohen Temperaturen der Dotierstoff in flüssiger Form auf der Waferoberfläche vorliegt und somit auch in die Gräben gelangt. Bei diesem Diffusionsschritt kann wahlweise die Rückseite des Wafers 20 weiterhin mit der zweiten Dotierfolie 24 belegt sein, so daß auch dieser Diffusionsschritt im Waferstapel erfolgen kann. In einem weiteren Schritt (Fig. 2e) werden Ober- und Unterseite des Wafers 20 mit einer Metallisierung 6 versehen. Anschließend (Fig. 2f) wird die Unterseite des Wafers auf eine Sägefolie 27 geklebt und der Wafer entlang der Zerteilungslinien 21 durchsägt, wodurch eine Vereinzelung der parallel im Waferverbund hergestellten Dioden erfolgt.

Wahlweise kann der in Fig. 2b dargestellte Verfahrensschritt nach dem Einbringen der Gräben 22 (Fig. 2c) durchgeführt werden, dadurch erzielt man in vorteilhafter Weise eine Ausheilung von durch das Einbringen der Gräben 22 entstandenen Kristallschäden. Als p-Dotierstoff wird beispielsweise Bor, als n-Dotierstoff Phosphor verwendet.

Wahlweise kann die Belegung der Ober- bzw. Unterseite des Wafers 20 mit einer starken bzw. sehr starken Konzentration an n-Dotieratomen statt durch Belegung mit Folien (wie in Fig. 2a dargestellt) auch durch eine Gasphasenbelegung, ein Spin-on-Verfahren unter Verwendung von Dotierflüssigkeiten und/oder mittels Ionenimplantation bzw. sonst bekannter Dotierverfahren erfolgen.

Das in Fig. 2a beschriebene Vorgehen der Bedeckung mit Dotierfolien (insbesondere in Kombination mit einer Stapeltechnik) hat gegenüber den alternativ genannten Vorgehensweisen den Vorteil, einfach und daher gut für die Großserienfertigung geeignet zu sein.

Fig. 3 zeigt ein Diagramm, das den Verlauf von Dotierstoffkonzentrationen N über der Eindringtiefe d darstellt. Dabei ist ein bekanntes Dotierprofil 30 einem neuen Dotierprofil 31 gegenübergestellt, wie es mit dem erfindungsgemäßen Verfahren hergestellt werden kann. Hierbei ist die Konzentration der n-Dotieratome dargestellt, wie sie sich in ihrem Tiefenverlauf durch die zwei Diffusionsteilschritte ergeben, wie in Fig. 2a und 2b dargestellt sind. Durch das flache neue Dotierprofil 31, das tief in den Wafer hineinreicht (40–110 µm), erhält man Zenerdioden, deren Flußspannung im Vergleich zu Zenerdioden mit bekanntem Dotierprofil 30 deutlich reduziert ist. Außerdem reduziert sich die Durchbruchsspannung bei hohen Strömen, (z. B. 100 A) um über 20% durch das erfindungsgemäße Verfahren im Vergleich zum bekannten Verfahren der DE 43 20 780. Mit dem erfindungsgemäßen Verfahren können Dioden hergestellt werden, die impulsfest sind, eine niedrige Flußspannung und eine geringe Streuung der Zenerspannung aufweisen. Dabei ist durch die homogene Belegung mit Dotierfolien und das tiefe Eintreiben unter Verwendung von Neutralfolien eine hohe Ausbeute erzielbar.

Fig. 4 zeigt drei Dotierkonzentrationsverläufe 100, 200 und 300 in einem Diagramm der Dotierstoffkonzentration c in Abhängigkeit vom Ort d (zur Definition des Orts d, vergleiche Fig. 1). Diese Profile beziehen sich auf den Zustand eines 200 Mikrometer dicken Wafers unmittelbar nach dem in Fig. 2b dargestellten Verfahrensschritt. Der Verlauf 100 ist beispielsweise für die Herstellung von Zenerdioden mit

einer Zenerspannung zwischen 19 und 25 Volt vorgesehen, der Verlauf 200 bzw. 300 für Zenerspannungen zwischen 34 und 40 Volt beziehungsweise zwischen 50 und 56 Volt vorgesehen. Dabei entspricht der Bereich 4 der Fig. 1 der in Fig. 4 mit der Breitenangabe von 40 Mikrometer markierten Zone. Diese Breite ist jedoch für die Einstellung einer bestimmten Zenerspannung unerheblich, sie kann auch andere Werte (typisch 20 µm–120 µm) einnehmen. Die gestrichelte Linie 400 markiert die Lage des in dem Verfahrensschritt der Fig. 2d hergestellten pn-Übergangs außerhalb des vertieften Bereiches 22.

Die dargestellten unterschiedlichen Dotierkonzentrationsverläufe können durch Wahl einer Dotierfolie 23 mit geeigneter Konzentration an Dotieratomen je nach gewünschter Zenerspannung ausgewählt werden. Alternativ oder in Kombination kann die Zeit der Belegung des Wafers mit der Dotierfolie 23 variiert werden zur Variation einer später resultierenden Zenerspannung. Die Durchbruchsspannung im Randbereich der fertigen Einzeldioden bleibt dann infolge der Grabenstruktur unberührt und hat beispielsweise stets den Wert 140 Volt. Alternativ oder in Kombination mit der Wahl einer niedriger dotierten Dotierfolie 23 zur Erhöhung der Zenerspannung kann eine höher dotierte Dotierfolie 26 im Herstellungsverfahren eingesetzt werden.

Wahlweise kann auch hier die Belegung der Ober- bzw. Unterseite des Wafers 20 mit einer starken bzw. sehr starken Konzentration an n-Dotieratomen statt durch Belegung mit Folien (wie in Fig. 2a dargestellt) auch durch eine Gasphasenbelegung, ein Spin-on-Verfahren unter Verwendung von Dotierflüssigkeiten und/oder mittels Ionenimplantation bzw. sonst bekannter Dotierverfahren erfolgen.

Patentansprüche

1. Verfahren zur Herstellung von Halbleiteranordnungen mit den Verfahrensschritten:

- Herstellen eines Wafers (20) mit einer oberen Teilschicht (3), einer darunter liegenden zweiten Teilschicht (4) und einer unten liegenden Teilschicht (5), wobei alle Teilschichten (3, 4, 5) den gleichen Leitungstyp aufweisen, die Dotierstoffkonzentration der ersten Teilschicht (3) größer ist als die Dotierstoffkonzentration der zweiten Teilschicht (4) und die Dotierstoffkonzentration der unten liegenden Teilschicht (5) größer ist als die Dotierstoffkonzentrationen der oberen und der zweiten Teilschicht,
- Einbringen von Gräben (22) in die Oberseite des Wafers (20), die durch die erste Teilschicht (3) hindurch bis in die zweite Teilschicht (4) reichen,
- Einbringen von Dotierstoffen in die Oberseite des Wafers (20), die den Leitfähigkeitstyp einer ersten Schicht (2) der ersten Teilschicht (3) verändern,
- Aufbringen einer Metallisierung (6) auf der Ober- und der Unterseite des Wafers (20),
- Zerteilen des Wafers in einzelne Chips (1) entlang der eingebrachten Gräben (22), dadurch gekennzeichnet, daß das Herstellen der Teilschichten (3, 4, 5) erfolgt, indem
- in einem ersten Teilschritt die Oberseite mit einer starken Konzentration an Dotieratomen und die Unterseite mit einer sehr starken Konzentration an Dotieratomen belegt wird und
- in einem weiteren Teilschritt ein Eintreiben der Dotieratome erfolgt, wobei die Oberseite mit einer Neutralfolie und die Unterseite mit einer Dotierfolie (24) für sehr starke Dotierung bedeckt

- wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß im ersten Teilschritt die Oberseite mit einer Dotierfolie (23) für starke Dotierung und die Unterseite mit der Dotierfolie (24) für sehr starke Dotierung be- 5
deckt wird.
 3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der erste Teilschritt mittels einer Gasphasenbe-
legung, mittels eines Spin-On-Verfahrens mit einer Do- 10
tierflüssigkeit und/oder mittels Ionenimplantation bzw. sonst bekannter Dotierverfahren erfolgt.
 4. Verfahren nach einem der vorhergehenden Ansprü-
che, dadurch gekennzeichnet, daß das Einbringen von
Dotierstoffen in die Oberseite des Wafers (20) zur Ver- 15
änderung des Leitfähigkeitstyps der ersten Schicht (2) die Belegung der Oberseite mit einer weiteren Dotier-
folie (26) umfaßt, wobei die Dotieratome der weiteren
Dotierfolie einen zu den Dotieratomen der Dotierfolie
(24) für sehr starke Dotierung entgegengesetzten Leit- 20
fähigkeitstyp aufweisen.
 5. Verfahren nach einem der vorhergehenden Ansprü-
che, dadurch gekennzeichnet, daß zeitgleich mit dem
Einbringen von Dotierstoffen in die Oberseite des Wa-
fers (20) zur Veränderung des Leitfähigkeitstyps der er- 25
sten Schicht (2) die Dotierung und/oder die Dicke der unten liegenden Teilschicht (5) verstärkt bzw. vergrößert wird.
 6. Verfahren nach Anspruch 4 und 5, dadurch gekenn-
zeichnet, daß die Verstärkung der Dotierung bzw. die
Vergrößerung der Dicke der unten liegenden Teil- 30
schicht eine Belegung der Unterseite des Wafers mit der Dotierfolie (24) für sehr starke Dotierung umfaßt.
 7. Verfahren nach einem der vorhergehenden Ansprü-
che, dadurch gekennzeichnet, daß die Bedeckung der
Vorder- und Rückseite mit Dotierfolien in Waferstapeln 35
erfolgt, so daß Vorder- und Rückseite jeder Dotierfolie im Stapelinnern mit einer Ober- oder mit einer Unter-
seite eines Wafers des Waferstapels in Berührung
kommt.
 8. Verfahren nach einem der vorhergehenden Ansprü- 40
che, dadurch gekennzeichnet, daß zur Einstellung unterschiedlicher Zenerspannungen entweder die Dotier-
folie (23) für die Belegung im ersten Diffusionsschritt oder die Dotierfolie (26) im zweiten Diffusionsschritt
bezüglich des Dotierstoffgehaltes verändert oder die 45
Belegungszeit mit der Dotierfolie (23) angepaßt werden.
 9. Verfahren nach einem der vorhergehenden Ansprü-
che, dadurch gekennzeichnet, daß die Gräben (22)
durch Sägen oder einen Ätzprozeß eingebracht werden. 50
 10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß vor dem Sägen der Wafer auf eine Sägefolie
aufgebracht wird.
 11. Verfahren nach einem der vorhergehenden An- 55
sprüche, dadurch gekennzeichnet, daß der zweite Teil-
schritt wahlweise vor oder nach dem Einbringen der
Gräben erfolgt.

Hierzu 4 Seite(n) Zeichnungen

60

65

Fig. 2e

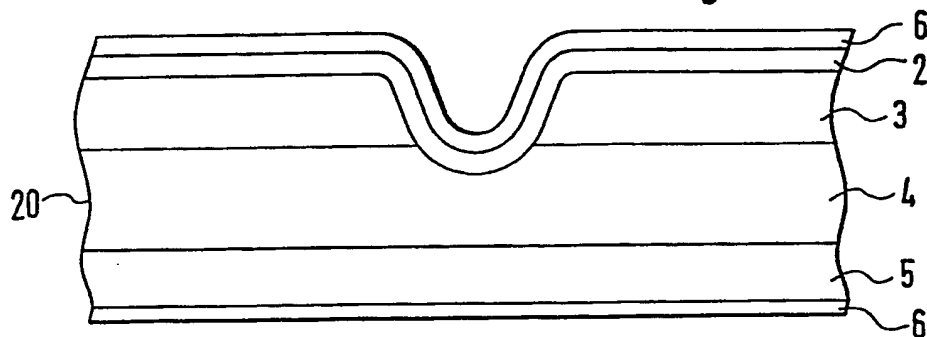
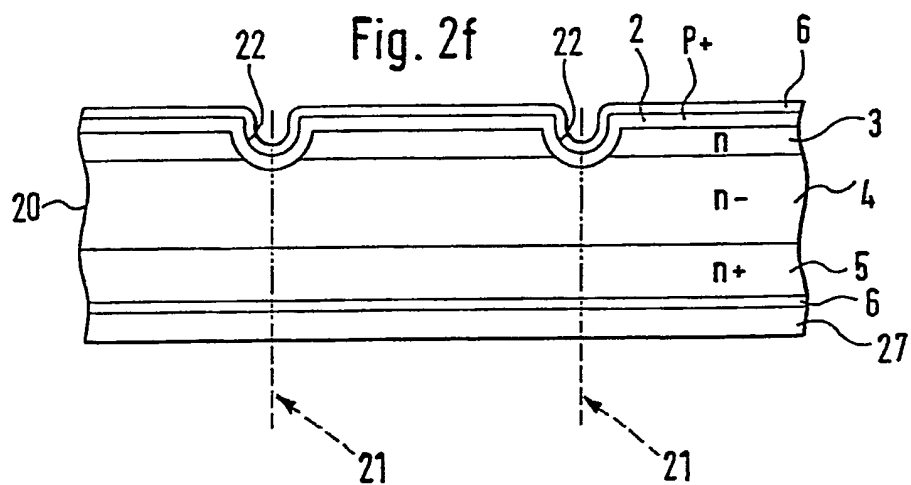


Fig. 2f



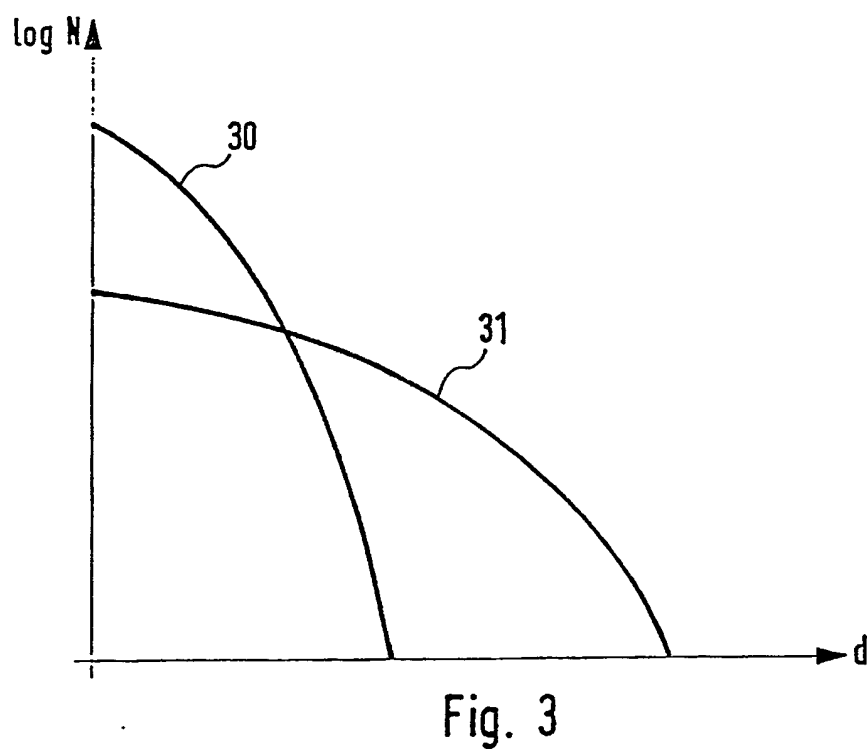
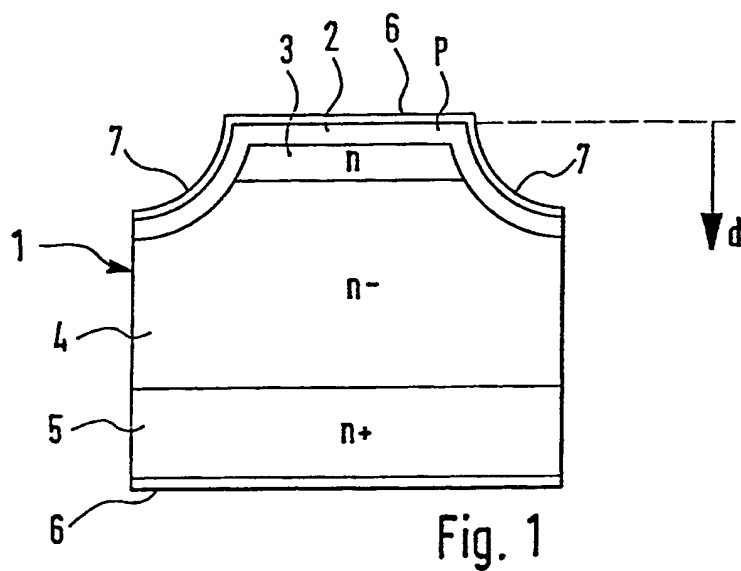


Fig. 2a

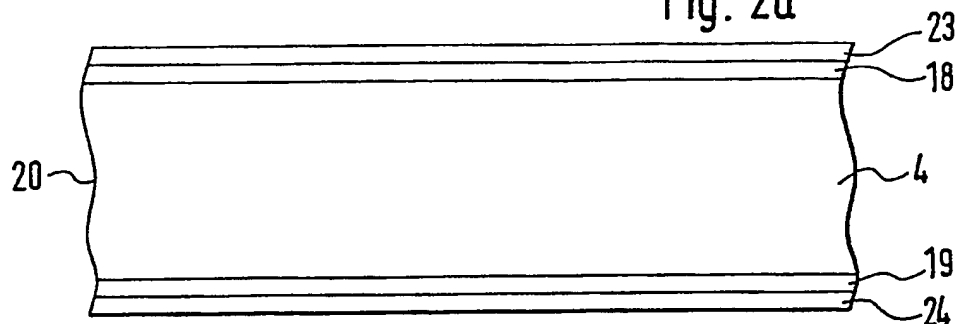


Fig. 2b

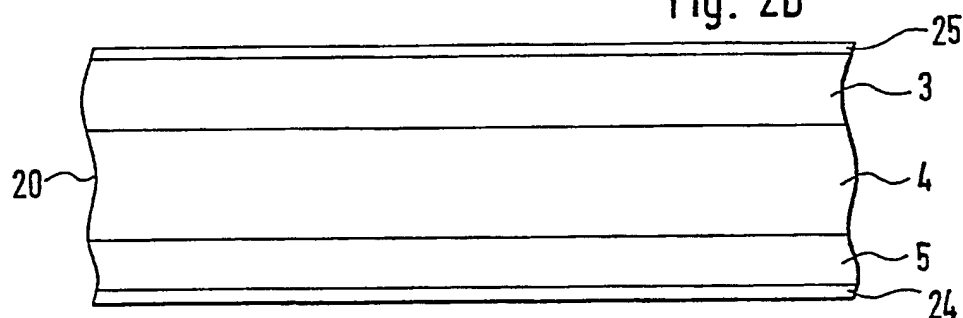


Fig. 2c

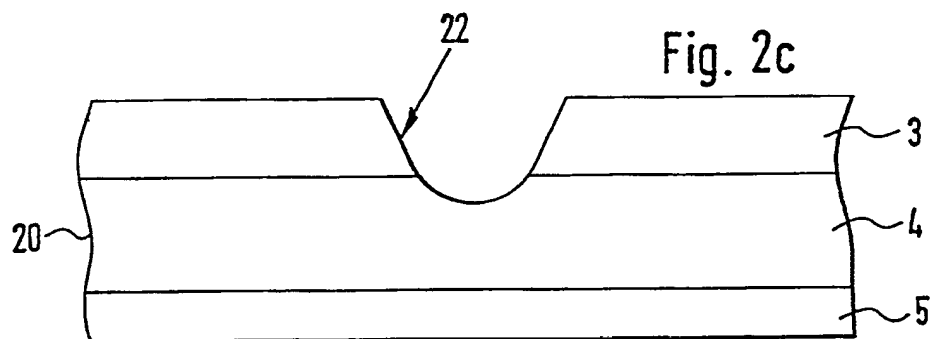
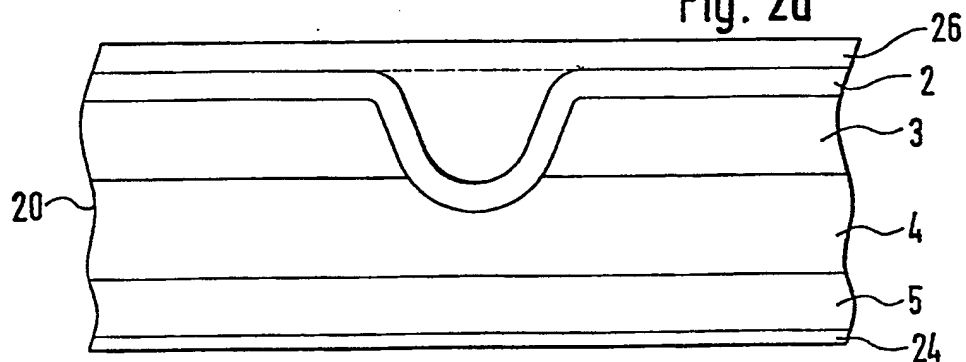


Fig. 2d



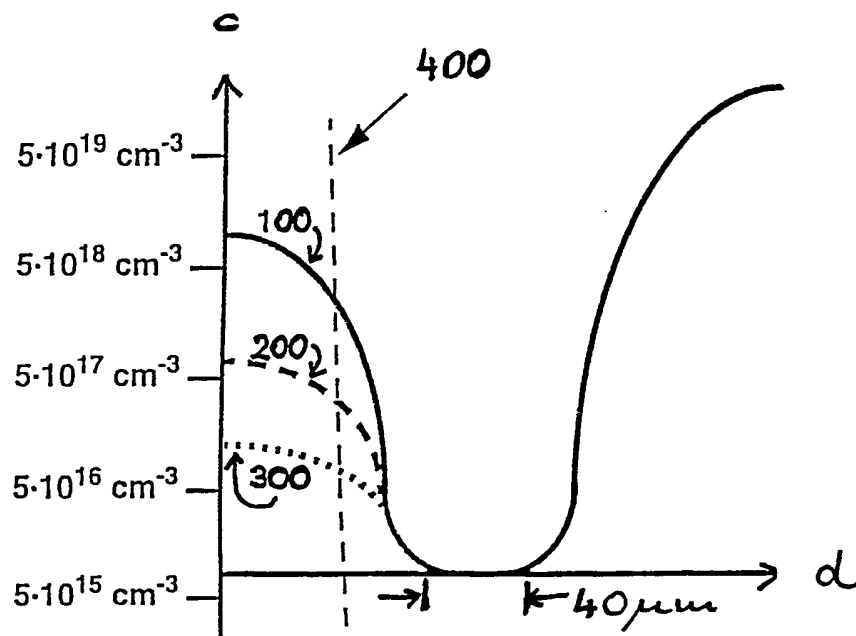


Fig. 4